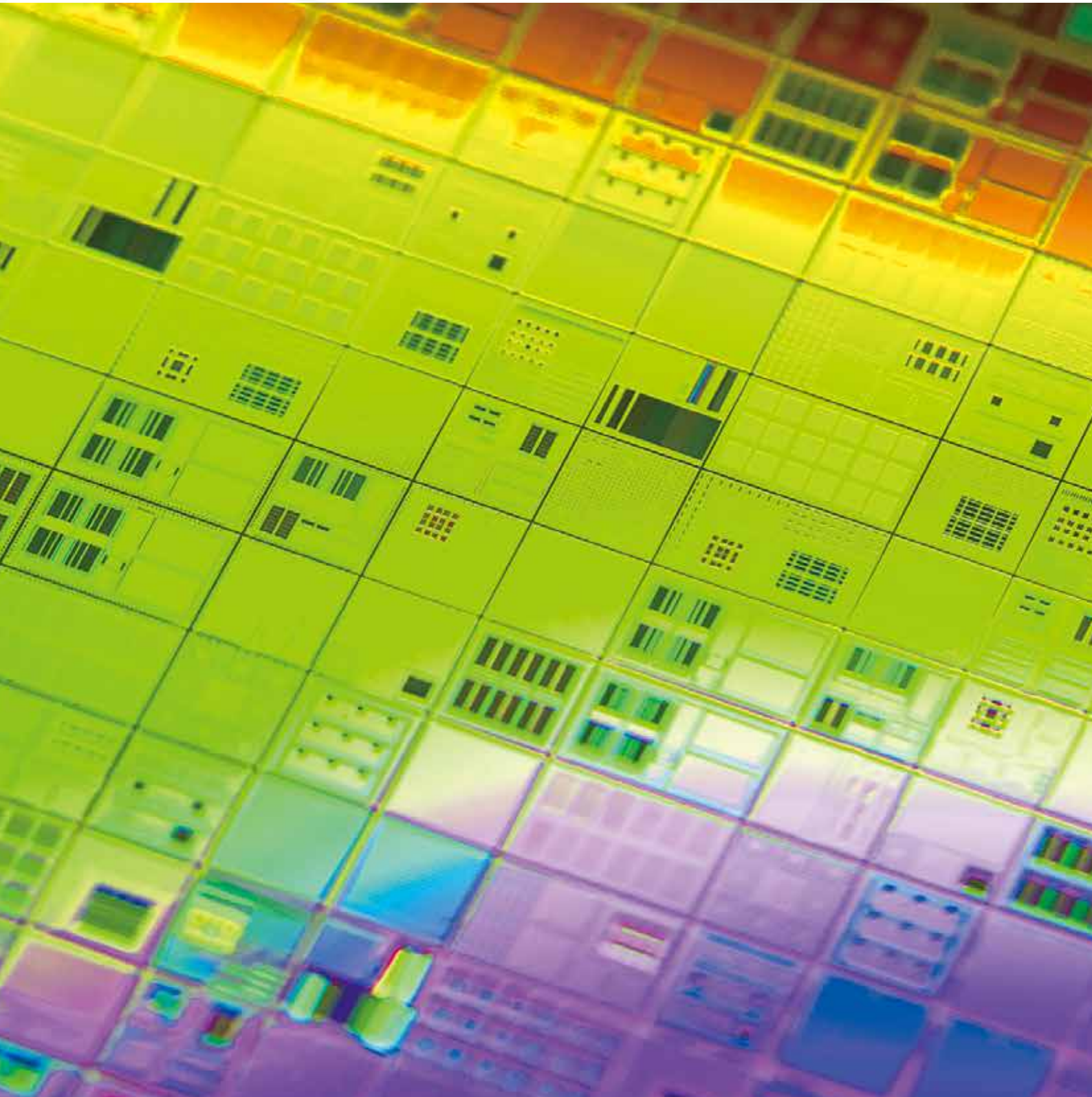
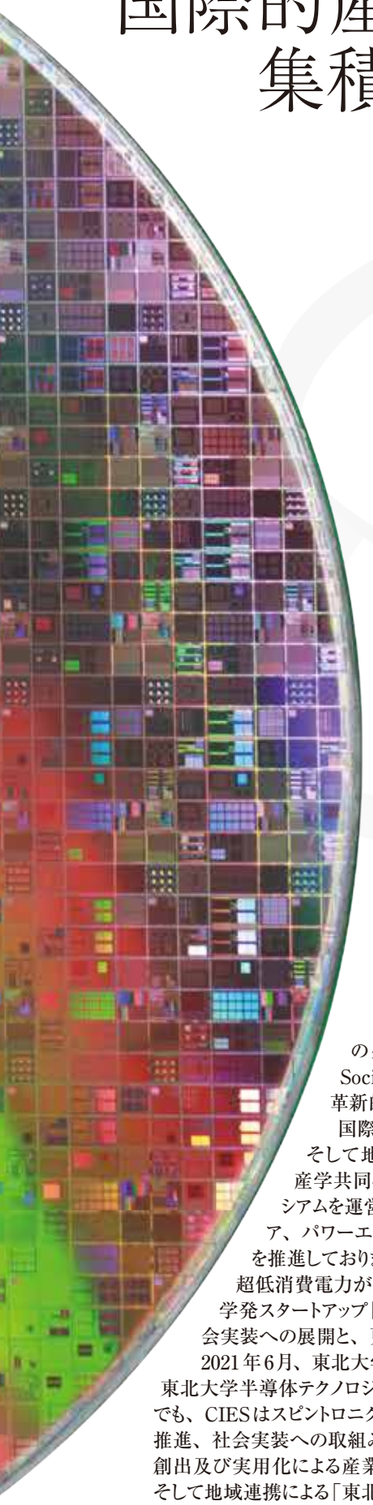
2020-2022 EDITION

Center for Innovative Integrated Electronic Systems

東北大学
国際集積エレクトロニクス
研究開発センター





国際的産学連携から 集積エレクトロニクス技術のイノベーション創出

復興・新生の先導　　ワールドクラスへの飛躍

ミッション&ビジョン

集積エレクトロニクス技術を研究開発し、
その技術に係る国際的産学連携拠点の
構築を図ることにより、
次世代集積エレクトロニクス分野における
我が国の国際的な競争力の強化に
寄与すると共に、
当該分野技術の実用化及び
新産業の創出に貢献。

特　徴 ハード

**初の民間拠出による
サイエンスパーク第一号として
設立された研究開発拠点**

**我が国では初めて、
大学キャンパス内に
300mmウエハ対応の
プロセスライン、
共通評価分析装置、
デバイス特性評価装置等を完備**

産学共同研究は、宮城県・仙台市からの
支援を受けています。
※1 宮城県と県内市町村で共同申請を
行った民間投資促進特区（情報サービス関連産業）制度による助成
※2 東北大学と仙台市の協定に基づいた
固定資産税等相当額の助成等々

特　徴 ソフト

フレキシブルな産学連携フレームワーク

豊富な産学連携実績に支えられた知見

**世界トップクラスのコア技術に関する
豊富な知財の一元管理と戦略的運用**

グローバルスタンダード対応の契約

特　徴 コア技術

**「研究第一」、「門戸開放」、「実学尊重」の理念の下、
東北大学が創出し、蓄積してきた先端コア技術と知財**

- **材料技術**
- **デバイス技術**
- **プロセス製造技術**
- **回路設計技術**
- **システム設計技術**
- **ソフトウェア技術**
- **アルゴリズム技術**
- **等**

集積エレクトロニクスは、あらゆる産業製品や社会基盤に活用され、我々の生活の質を決定する技術です。カーボンニュートラルやAI/IoT/DX、Society 5.0実現という社会ニーズに対し、飛躍的な省電力動作を実現できる革新的集積エレクトロニクスシステムが求められています。

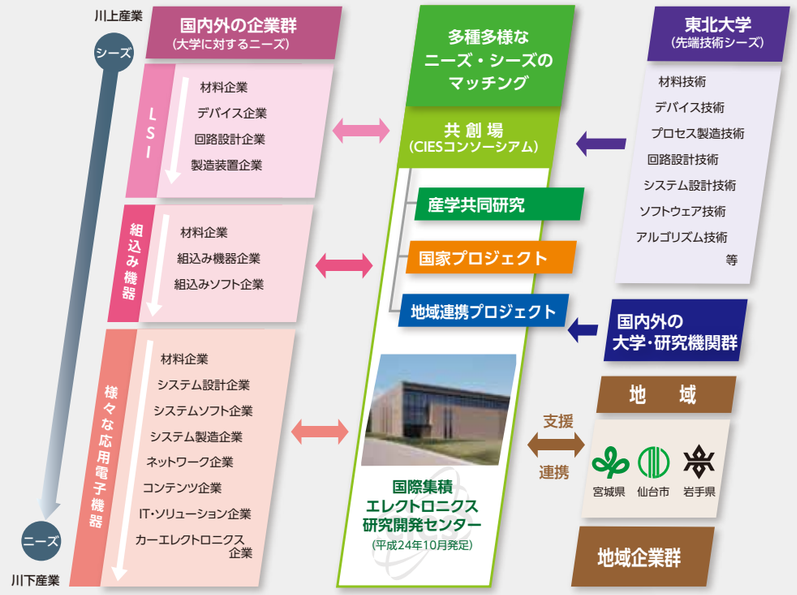
国際集積エレクトロニクス研究開発センター（CIES）は、多様な国内外の企業、そして地方公共団体と連携して、材料・装置・デバイス・回路・システムなど、産学共同研究、大型国家プロジェクト、地域連携プロジェクトからなるCIESコンソーシアムを運営しております。研究開発分野を従来のスピントロニクスから、AIハードウェア、パワーエレクトロニクスに拡充して、集積エレクトロニクス技術に係るコア技術の開発を推進しております。これまでに、世界最高性能となる多様な革新的技術の開発に成功し、超低消費電力が要求されるIoT/AIシステムへの展開を目指して参ります。加えて、東北大学発スタートアップ「パワースピン株式会社」の創設により、開発してきている革新技術群の社会実装への展開と、更なる産学連携の高度化を加速させております。

2021年6月、東北大学は、我が国の半導体戦略、ひいては世界の省エネ化社会に貢献すべく、東北大学半導体テクノロジー共創体を設立しました。本共創体に加えて、我が国の半導体戦略の中でも、CIESはスピントロニクス省電力ロジック半導体開発拠点と位置付けられ、更なる産学官共創の推進、社会実装への取組みの強化が求められていると理解しています。引き続き、革新的コア技術の創出及び実用化による産業界への貢献と、国際的アライアンスの中での我が国の産業競争力強化、そして地域連携による「東北復興・日本新生の先導」に寄与して参ります。

ここまで、本センターが発展して参りましたのも、多くの皆様の継続的なご支援、ご協力によるものです。心からお礼を申し上げますと共に、引き続きのご支援をお願い申し上げます。

令和4年3月
東北大学国際集積エレクトロニクス研究開発センター
センター長　　遠藤　哲郎

センターが目指す姿：「B-U-B（Business-University-Business）」モデル



省エネ社会に応え、来たるべきビッグデータ・IoT・人工知能（AI）時代を支える革新的な集積エレクトロニクス技術、及びパワーエレクトロニクス技術を生み出すためには、新しい成長原理を持続的に創出し、科学的理解（学の力）と高度なモノ作り力（産の力）を結集する産学連携の場の高度化と拡充が不可欠です。

この社会的要請に鑑み、本センターでは、本学が蓄積してきた多岐にわたる研究シーズと豊富な産学連携実績を求心力として、世界の知がまわる国際的産学連携拠点=共創場（CIES コンソーシアム）を構築し、将来の省エネ社会・安心安全社会等に資する革新的技術の研究開発を推進していきます。この中で、川上産業（材料／デバイス／プロセス／ ULSI 等）から川下産業（ソフトウェア／装置／システム等）まで多種多様なワールドクラスの国内外企業群との産学連携共同研究、産業化の基礎となる先端分野の研究開発を担う大型国家プロジェクト、地方公共団体（宮城県、仙台市、岩手県等）と協力して、地域・地元企業との地域連携プロジェクトを展開し、国や地域行政からの支援施策も活用しながら、新しいコア技術群を創出し続け、革新的シーズ技術の実用化・産業化に貢献します。これらの取り組みを通じて、幅広い分野の研究者の連携による相乗効果を生み、将来の階層的なニーズ・シーズの技術サプライチェーンを創出して参ります。

ロゴマークについて

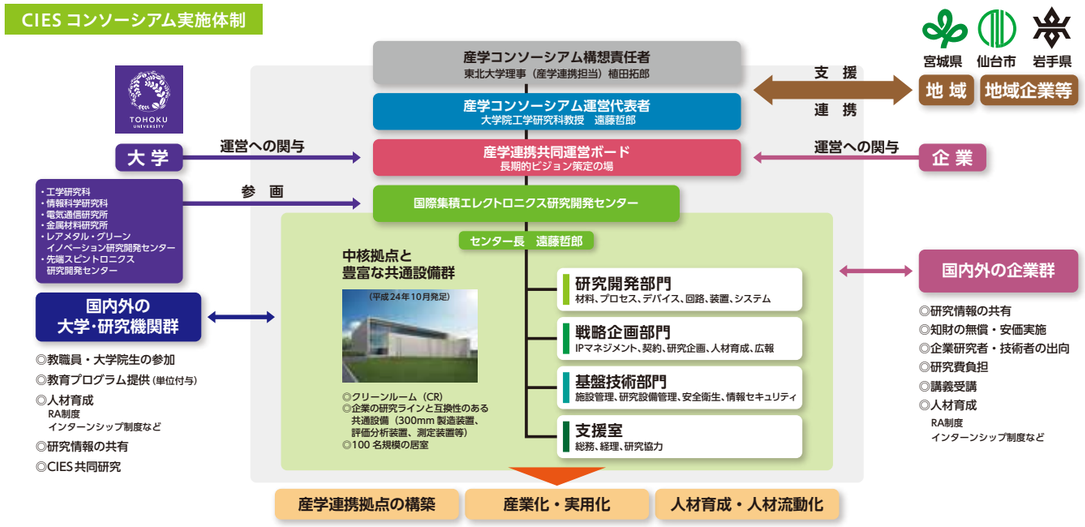
cies
Center for Innovative
Integrated Electronic Systems

メッセージ

グリーン基調色	：	エコロジー＆ローパワー
“i”の意味	：	イノベーション＆インテグレーション
“i”に集結する3つの輪	：	知、科学と技術の集積 産学官など組織の一体化 材料からシステムの様々なレイヤーの集結

CIES コンソーシアム研究開発スコープ

CIES コンソーシアム実施体制

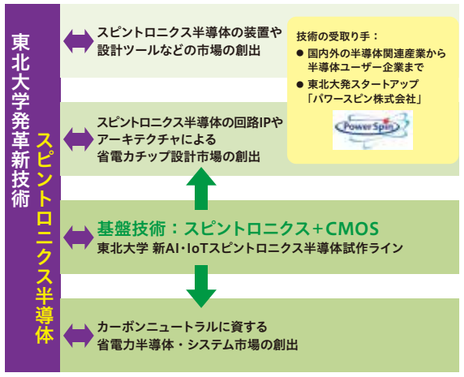


スピントロニクス省電力ロジック半導体開発拠点

設計・試作・評価・システム化までを一貫して開発
開発実証による世界を先導する省電力技術の創出

東北大モデル

東北大学発革新的技術に依る新産業創出と
社会実装の加速に依る資金の好循環



研究開発部門（CIES コンソーシアム）

A 産学共同研究

スピントロニクス	LSI 技術	STT/SOT-MRAM & スピン素子/CMOS Hybrid プロセッサ	材料・デバイス技術の研究開発
			製造技術の研究開発
			計測・評価・分析技術の研究開発
			回路技術・設計ツールの研究開発
			STT-MRAM･SOT-MRAM及びスピン素子/CMOS Hybrid アプリケーションプロセッサの研究開発
		不揮発記憶ベース低消費電力・高性能 VLSI プロセッサの自動設計環境の研究開発	
	組込み機器技術	強磁性トンネル接合素子を用いた高感度磁気センサの研究開発	
		超小型・省電力フルスピン 3 次元ワイヤレス SESUB の研究開発	
	システム技術	次世代移動体およびアプライアンス向けの画像処理技術の基礎研究	
		組込みシステムセキュリティ技術の研究開発	
		リアルワールド応用知能システム VLSI プラットフォームの研究開発	
3Dメモリ	3 次元集積回路技術	3 次元不揮発メモリの研究開発	
AIハードウェア	回路技術	脳型演算処理回路技術の研究開発	
		しなやかな情報処理におけるエラー訂正技術の研究開発	
		MTJ/CMOS Hybrid AIアプリケーションプロセッサの研究開発	
パワーエレクトロニクス	デバイス・モジュール・回路技術	GaN on Si パワーデバイス技術の研究開発	
		GaN on Si モジュール技術の研究開発	
		次世代電装コンポーネント技術の研究開発	
		実装インテグレーション技術の研究開発	
		電力・産業向け次世代大容量変換器の研究開発	

B 国家プロジェクト

文部科学省 次世代 X-nics 半導体創生拠点形成事業	スピントロニクス融合半導体創出拠点
NEDO ポスト 5 G情報通信システム基盤強化研究開発事業	先導研究（助成）／ 半導体プロセス1.5nm ノード以降の不揮発性MRAM の微細加工基盤技術の研究開発
NEDO 研究開発課題発掘のための先導調査研究	高効率･高速処理を可能とするAIチップ･次世代コンピューティングの技術開発／ CMOS/スピントロニクス融合技術を用いたコンピューティング技術
NEDO 戦略的省エネルギー技術革新プログラム	実用化開発／アフターコロナ時代の感染ハザードマップのための高速人物位置同定 AI マイコンを用いた非接触多人数対応AI検温カメラの開発
東北経済産業局 戦略的基盤技術高度化支援事業	スピントロニクス/CMOS Hybrid LSI の設計技術及びソフトウェア開発と実用化
JAXA 宇宙探査イノベーションハブ	MTJ/CMOS Hybrid技術による待機電力不要システム研究、及びその耐環境性試験（宇宙用途向け）
内閣府 SIP プロジェクト（第２期）	フィジカル空間デジタルデータ処理基盤 超低消費電力MTJ/CMOS Hybrid IoTデバイス基盤技術の研究開発
JST OPERA プロジェクト	世界の知を呼び込むIT･輸送システム融合型エレクトロニクス技術の創出
JSPS 研究拠点形成事業	半導体集積デバイス向け二次元電子･スピン材料研究拠点
文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業	脱炭素社会実現に向けた集積化パワーエレクトロニクスの研究開発

C J-Innovation HUB 地域オープンイノベーション拠点（国際展開型）

東北大学国際集積エレクトロニクス研究開発センター

D 地域連携プロジェクト

集積エレクトロニクス	IT向け電子デバイスコンポーネントの研究開発
カーエレクトロニクス	自動車向け電装部品コンポーネントの研究開発

A 産学共同研究 スピントロニクス LSI 技術

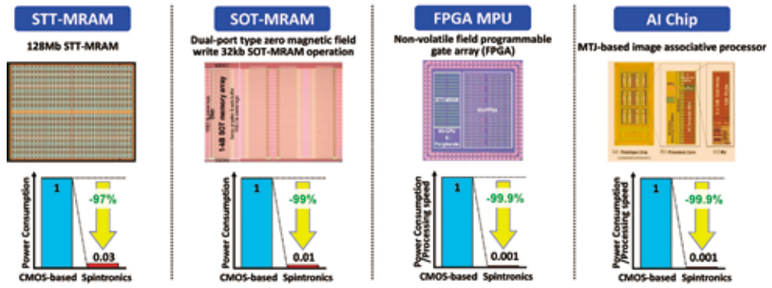
STT/SOT-MRAM & スピン素子/CMOS Hybrid プロセッサの研究開発

遠藤 哲郎 教授　池田 正二 教授

本テーマでは、スピントロニクス技術とシリコンCMOS技術の融合によるSTT-MRAM・SOT-MRAM及びスピン素子/CMOS Hybridアプリケーションプロセッサに関する技術を、産学が連携して研究開発しています。これにより、飛躍的な省エネルギーシステムを実現する不揮発ワーキングメモリや不揮発ロジックなどの実用化を促進し、カーボンニュートラル社会の実現に貢献することを目的とします。

具体的には、①CMOS集積回路と親和性の高いスピントロニクス素子の高性能化に向けた材料・デバイス技術、②産業界で標準の300mm Siウェハを用いたユニットプロセス・プロセスインテグレーション製造技術、③高効率な計測・評価技術、多機能的な分析技術、④基本メモリセルから大規模集積回路まで網羅する回路技術・設計ツールを一貫して研究開発しています。

これらの技術を統合集積化することにより、STT-MRAM・SOT-MRAM及びスピン素子/CMOS Hybrid技術を用いたマイコンや画像認識プロセッサなどのAIアプリケーションプロセッサを設計し、300mmプロセスラインを用いて試作を行い、その低消費電力性能を実証します。



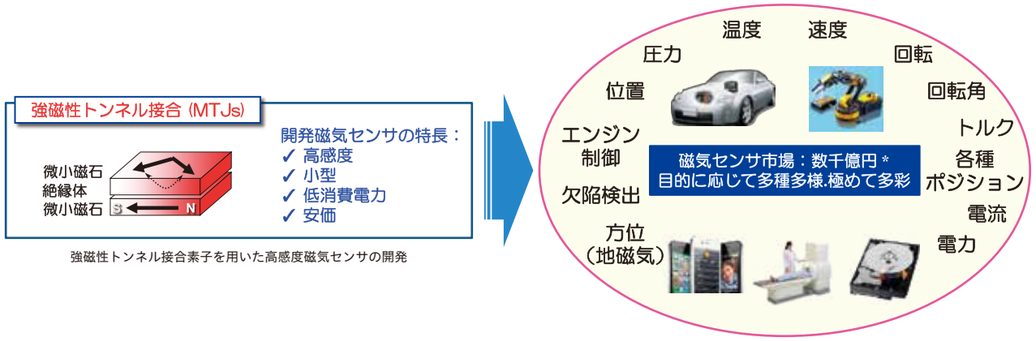
A 産学共同研究 スピントロニクス 組込み機器技術

強磁性トンネル接合素子を用いた高感度磁気センサの研究開発

安藤 康夫 教授

磁気センサは環境、セキュリティー、医療、情報通信、自動車などの幅広い分野において、多種多様な目的、用途で使用されています。また、市場規模も数千億円※と非常に大きいと分析されています。本研究テーマでは、強磁性トンネル接合を用いた、高感度・小型・低消費電力・低コストを兼ね備えた磁気センサ素子を、産学が連携して開発しています。このような特長を併せ持つ磁気センサ素子が実現すれば、さらにアプリケーションが広がり、磁気センサ市場に大きな変革をもたらすことが期待されます。

※IHS iSuppli Market Research



強磁性トンネル接合素子を用いた高感度磁気センサの開発

A 産学共同研究 スピントロニクス LSI 技術

不揮発記憶ベース低消費電力・高性能 VLSI プロセッサの自動設計環境の研究開発

羽生 貴弘 教授　鈴木 大輔 准教授

4x世代以降における深刻な待機電力に起因した性能限界を突破するため、不揮発ベース低消費電力・高性能回路IPの設計開発、およびそれらを活用した自動設計環境を構築することが本テーマの課題であり、主に以下の研究に取り組んでおります。

1. 不揮発FPGA向けCAD環境の構築

種々のVLSIプロセッサ向けの有用なデバイスとして不揮発FPGA（Field-Programmable Gate Array）に着目し、そのCAD環境構築を行っております。

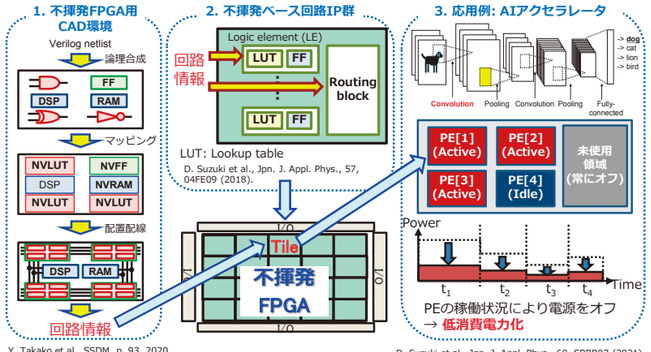
2. 不揮発ベース回路IP群のさらなる改良

不揮発FPGAのさらなる高性能化・多機能化に向け、その基本構成回路IP、例えばLUT（Lookup Table）回路の開発も行っております。

3. AIアクセラレータ等への応用

不揮発FPGAの具体的応用例として、超低消費電力AIアクセラレータの開発にも取り組んでいます。

本技術によりVLSIプロセッサの電力効率が高まることで、モバイル機器やIoT機器などへの積極的応用が期待されます。



Y. Takako et al., SSDM, p. 93, 2020.
D. Suzuki et al., IEICE Trans. Inf. & Syst., E104-D, 1111 (2021).
D. Suzuki et al., Jpn. J. Appl. Phys., 60, SBBB07 (2021).
D. Suzuki et al., MCSoC, p. 92, 2021.

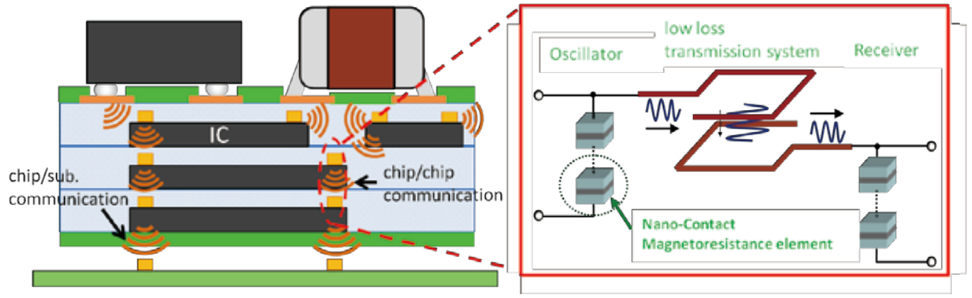
1. 不揮発FPGAに最適に回路情報をプログラムするためのCAD環境構築
2. さらなる高エネルギー効率化・多機能化に向けた不揮発ベース回路IP群の改良
3. AIアクセラレータ等への応用と不揮発性を活かした高エネルギー効率化

A 産学共同研究 スピントロニクス 組込み機器技術

超小型・省電力フルスピン 3次元ワイヤレスSESUBの研究開発

塩川 陽平 特任助教

現在、異種機能を有するICチップの実装において、小型化・省電力化・低コスト化の観点から、ワイヤレス化が急務とされています。本研究開発では、省電力で多機能な多層ワイヤレスSESUB(Silicon Embedded SUBstrate)を実現するため、ナノ接点磁気抵抗素子を用いた高性能スピントルク発振器/受信器の要素技術開発と伝送系の基礎技術を構築することを目的に、ワイヤレス3D実装の基盤技術を産学連携により開発しています。自励発振するスピントルク発振器/受信器の高出力化/高感度化と、電磁共鳴アンテナによる低損失無線伝送系開発が課題であり、それを解決することによりフルスピンワイヤレスSESUBの実現を目指します。



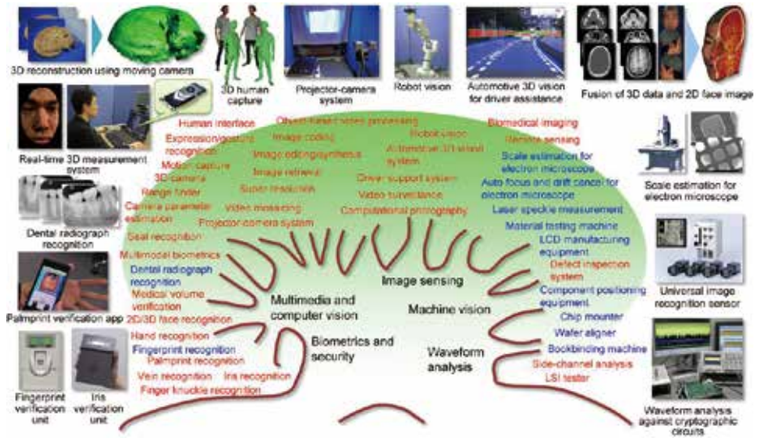
フルスピン3次元ワイヤレス SESUB のイメージ図

A 産学共同研究 スピントロニクス システム技術

次世代移動体およびアプライアンス向けの画像処理技術の基盤研究

青木 孝文 教授

本研究開発では、次世代移動体、工業市場向け超高速画像認識、産業用ロボットビジョン、顕微鏡画像解析、映像信号処理、3次元ステレオビジョン（人体計測、車載カメラほか）、プロジェクタカメラシステム、コンピュテーショナルフォトグラフィ、医用画像解析など広範な応用への適用を目指して、2D/3D融合視覚情報処理の基盤技術を、産学が連携して開発しています。具体的には、2D/3D融合視覚情報に基づく位置計測アルゴリズム、ジェスチャ認識アルゴリズム、および組込みプロセッサを用いた高速な画像処理アルゴリズム等を開発します。



2D/3D 融合視覚情報処理の応用

A 産学共同研究 スピントロニクス システム技術

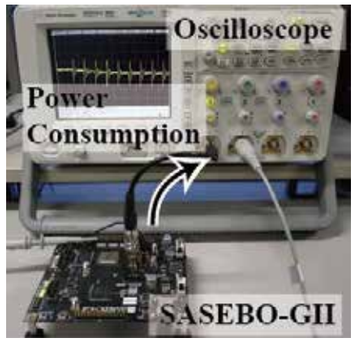
組込みシステムセキュリティ技術の研究開発

青木 孝文 教授

本研究開発では、膨大で多様なデバイスがネットワークに接続されるIoT（Internet of Things）時代に向けた新しいセキュリティ技術の確立を目指しています。特に、M2M（machine-to-machine）の利用形態を想定したデバイスセキュリティとリモート認証に関する技術検討を実施するとともに、その技術の有効性をプロトタイプにより評価しています。

一例として、デバイスセキュリティ技術では、限られた計算資源・電力供給下において秘匿通信・認証を行うための技術を検討しています。

一方、リモート認証技術では、遠隔地端末とサーバ間もしくは端末間における効率的なエンティティ認証技術を検討しています。上記の研究開発により、多様なデバイスをサイバー空間に安全に接続し、データ連携するための基幹技術の構築が期待されます。



M2M デバイスの実装安全性評価

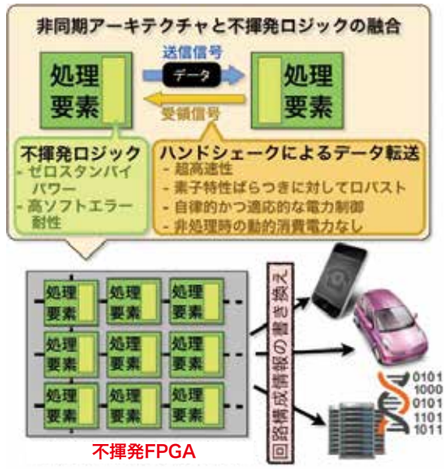
端末―サーバ間リモート認証のプロトタイプアプリケーション

A 産学共同研究 スピントロニクス システム技術

リアルワールド応用知能システム VLSI プラットフォームの研究開発

遠藤 哲郎 教授

本研究開発では、リアルワールド知能システム応用、ビッグデータ応用、インフラ応用等に向け、超低消費電力性・高速性の達成と共に高ソフトエラー耐性を有する再構成可能（リコンフィギャラブル）LSIを開発しています。集積回路の微細化・3次元化・極低電圧化に対応するために、自律的な電源電圧制御機能を有する同期・非同期ハイブリッド回路、待機時電力の削減と高ソフトエラー耐性を有するMRAMベース不揮発ロジック回路、さらに容易にプログラム開発が可能な高位設計ツールの構築を目指しています。



細粒度自律電力制御機能を有する不揮発ロジックに基づく超低消費電力再構成可能 LSI（FPGA）によるコンピュータアーキテクチャー

A 産学共同研究 AI ハードウェア 回路技術

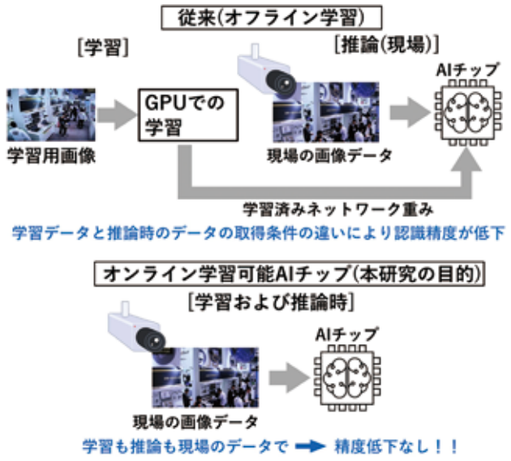
脳型演算処理回路技術の研究開発

遠藤 哲郎 教授

本研究開発では、Society5.0において重要となる、高精度と高速性を兼ね備えたエッジAIプロセッサの開発を行っています。

従来のエッジAIプロセッサでは、学習はオフラインでGPU等を用いて行われ、学習済みデータが、AIチップの推論に用いられていました。通常、学習時のデータ取得条件等と推論時（現場）でのデータ取得条件は異なるため、認識精度の低下を引き起こしています。

この問題を解決するために、本研究では、現場のデータで学習と推論を行える高精度・高効率のエッジAIプロセッサのアーキテクチャ・回路・デバイス技術に関する研究・開発を行っています。不揮発メモリとして注目を集めているMRAMを徹底的に活用したアーキテクチャ・回路を基盤とし、システムレベルの細粒度パワーゲーティング技術や、データ転送ボトルネック解消のための高効率データ転送技術や、用途に適したMRAMのデバイス技術に加えて、オンライン学習機能も導入したAIプロセッサを実現しています。



A 産学共同研究 AI ハードウェア 回路技術

しなやかな情報処理における エラー訂正技術の研究開発

遠藤 哲郎 教授　福田 悦生 特任教授

DRAMをはじめとした記憶デバイスでは宇宙線や温度条件その他の原因により記憶ビットが反転することがあり、誤った計算結果などが発生します。これらのエラーを検出し訂正する「誤り訂正符号(ECC, Error Correction Code)」の技術が発展してきました。ECC技術では、元々のデータを冗長性を持った誤り訂正符号に変換し、エラーが混入してもそれを検知し元々のデータを復元できるようにします。ただし、訂正能力を上げる＝より多くのエラーを検知・訂正するには、その能力に応じた大きな冗長性が必要となります(図1)。

コンピュータにおける重要な部品である「メモリ」にも誤り訂正符号の技術が使われており、特にハードウェアとしてECC回路を実装しているメモリを「ECCメモリ」と呼びます。通常、ECCメモリでは、1bitのエラーの訂正と2bitのエラーの検出が可能な「SECDED」というECCアルゴリズムがよく使われてきました。本テーマではSECDEDに限らずSTT-MRAMにとって最適で訂正能力の高いECCアルゴリズムを試行錯誤の容易なソフトウェアベースで探求・検証しており、BCH符号、Golay符号等のECCアルゴリズムの実装・改良を行ってきました。BCH符号はある制約の下、訂正可能なビット数を選ぶことができます。一方、Golay符号は符号長や訂正可能なビット数は決まっていますが、BCH符号よりも簡易な計算でエラーを検知・訂正してデータを復元することができます。

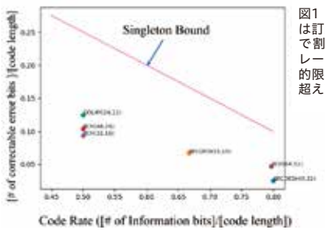


図1：横軸はCode Rate、縦軸は訂正可能なビット数を符号長で割ったもの。この二つはトレードオフの関係にある。理論的限界（シングルトン限界）を超えることはできない。

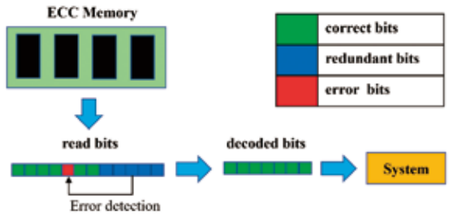


図2：ECCメモリ概念図。ECCメモリ上のデータには冗長ビットが含まれており、エラーを自動的に修正するので、システムには正しいデータが送られる。

A 産学共同研究 AI ハードウェア 回路技術

MTJ/CMOS Hybrid AI アプリケーション プロセッサの研究開発

遠藤 哲郎 教授　福田 悦生 特任教授

近年、Deep Learning (DL)技術の進歩によりこれまで難しかった高精度かつ高速度な物体認識が可能となりました(図1)。DL技術を可能としているのは、大規模な演算とそれを高速に行うことのできるGPUなどの並列演算プロセッサです。これらのプロセッサは高速に演算できる反面、大きな電力を消費してしまうため、車載コンピュータやモバイル用途のデバイスに搭載するには難があります。

これらのプロセッサの消費電力の大半は、記憶回路へのアクセス時に生じており、MTJ/CMOS Hybrid回路技術のよるDLアルゴリズムの実装はこの問題を解決する有力な方法です。MTJ/CMOS Hybrid回路では記憶回路の不揮発性を利用して適切なパワーゲーティング(PG)を行うことで記憶回路アクセス時の電力の削減が可能です。

ところが、既存のDLアルゴリズムはPGを前提に作られたものではなく、期待したほどの電力の削減が行えない恐れがあります。現時点では、どのDLアルゴリズムがMTJ/CMOS Hybrid回路技術に適しているのかは明らかではなく、DLアルゴリズムの改良も必要となるでしょう。そこで、CPU/GPU/FPGA上にDLアルゴリズムを展開し、そのアルゴリズムの性能(認識精度、速度、メモリアクセスパターン)を解析するスキームの構築をおこなっています(図2)。このスキームにより、MTJ/CMOS Hybrid回路技術に適切なアルゴリズムの選択・改良を目指しています。

図1：DLアルゴリズムの一つ、YOLOv3による画像認識。遠方の非常に小さい物体も高い精度で認識可能である。

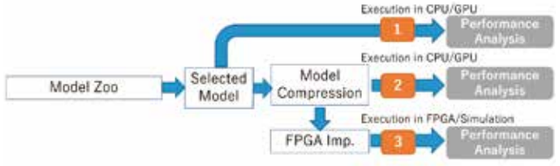


図 2：Model Zoo から DL モデルを選定し、CPU/GPU/FPGA 上で性能解析を行うスキーム。認識精度、速度、メモリアクセスパターンを解析し、アルゴリズムの選定・改良を目指す。

A 産学共同研究 パワーエレクトロニクス デバイス技術

GaN on Si パワーデバイス技術の研究開発

遠藤 哲郎 教授　髙橋 良和 教授　末光 哲也 教授

次世代パワーデバイス用の材料として、SiCやGaN等のワイドバンドギャップ材料が注目されてきています。特に、GaNは青色・白色LEDの材料としても大きな成功を収め、今また高耐圧・高電流密度・高周波動作可能な電子デバイス用材料としても注目され、世界で研究開発が進んでいます。更に、GaNはサファイヤ、SiC、Si等様々な材料の基板上に結晶成長することが可能で、異種材料の集積化に適した材料といえます。

こうした背景を踏まえ、一般的に広く普及しているSi基板上に、CMOS制御回路、センサー、RFフロントエンド等のSi系各種デバイスとGaN系パワーデバイスやGaN系光デバイスをモノリシックに集積化したGaN on Siパワーデバイスシステムの構築を目指します。これにより、現在のようにSi系制御回路ICと単体のGaN系パワーデバイスを組み合わせて構築したモジュールと比較して飛躍的にシステムの小型化が可能になります。更に、モジュールに実装された各部品間の配線をなくすことが出来るため、配線遅延や配線接合部の劣化に伴う故障といった性能律速要因を排除することが出来るため、システム全体の高性能化や高信頼化が期待されます。

本研究では、EV/HVの普及と安全性向上やインテリジェント交通システムへの対応によって高機能化が益々重要になる、自動車をはじめとした輸送システムへの応用を目指して、GaN on Siパワーデバイス技術の開発を行います。

- ボンディングレス化による 信頼性の向上
- 高機能化・多機能化の向上
- I/O部の高性能化
- 実装密度の向上

GaN on Si パワーデバイス技術の利点

A 産学共同研究 パワーエレクトロニクス モジュール技術

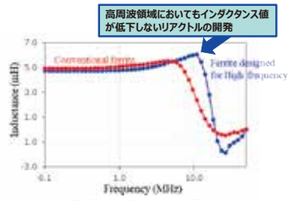
GaN on Si モジュール技術の研究開発

遠藤 哲郎 教授　髙橋 良和 教授

本研究テーマでは、低損失で高速性を兼ね備えたGaN on Si横型パワーデバイスの特長を最大限に活かすためのモジュール化技術(GaN on Siモジュール電圧・電流振動抑制技術、低熱抵抗化技術、高放熱化技術)を、産学が連携して開発しています。これにより、EV＆自動運転化、データセンターの拡大、それらの電力供給を最適運用するスマートシティーの実現などに貢献します。

次世代電装コンポーネント技術の研究開発

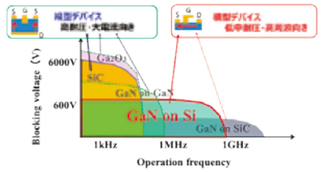
本研究テーマでは、高周波駆動が可能なGaN on Si横型パワーデバイスを適用した次世代電装コンポーネント技術(DC-DCコンバータの高周波駆動技術、低ノイズ化技術、大容量化技術)を、産学が連携して開発しています。これにより、自動車の自動運転などの高度化に伴うセンサー類やアクチュエータ類の増加による電力供給増加に対応した、高効率で超小型のDC-DCコンバータの実現に貢献します。



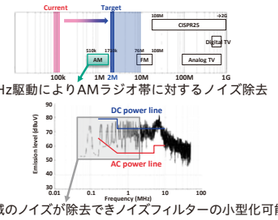
高周波リアクトルの開発

実装インテグレーション技術の研究開発

本研究テーマでは、GaN-on-SiやSiCなど新しいWBGデバイスの持つ、低損失、高速などの優れた特性を最大限に活かすため、ゲート駆動回路やインダクタ、トランス、コンデンサなどの周辺主要部品を最適に実装する実装インテグレーション技術(パッシブ部品技術、パワーインテグリティー技術、高放熱レイアウト技術、接合材料/技術)を、産学が連携して開発しています。これにより、パワーエレクトロニクス応用装置の小型・軽量化、高機能化、高性能化に貢献します。

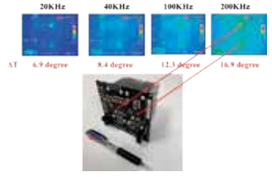


WBGデバイスの耐圧と動作周波数の関係
(CIESでは GaN on Si のモジュール化推進)



2MHz駆動によりAMラジオ帯に対するノイズ除去

この領域のノイズが除去できノイズフィルターの小型化可能



高放熱レイアウト技術によるGaN on Siデバイス
高周波駆動時のチップ上昇温度の抑制

A 産学共同研究　パワーエレクトロニクス　回路技術

電力・産業向け次世代大容量変換器の研究開発

遠藤 哲郎 教授　加藤 修治 准教授

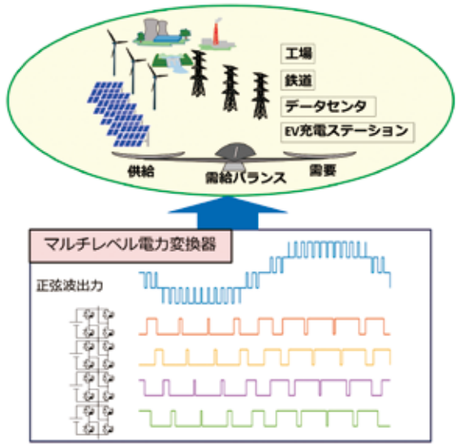
本研究開発では、再生可能エネルギーの大量導入実現に必須な電力受給バランスに対する貢献や電動化への貢献を目指し、
①風力発電や太陽光発電等、電力系統に接続する発変電機器、
②工場などに設置される各種動力機器、大型建設機械や船舶、EVなどの需要家機器の革新を目指し、大容量変換器の回路・制御技術を開発しています。

電力変換器は、マルチレベル技術を適用して小型の電力変換器を複数直列に接続することで、大容量化することができます。マルチレベル変換器では、直列接続した電力変換器のパルスタイミングを調整することで、少ないスイッチング回数でも正弦波電圧を出力することができ、低損失化を図れます。

具体的には、下記の技術を開発しています。

1. マルチレベル変換器を大幅に小型化するための回路・制御技術

2. マルチレベル変換器のロバスト性を向上させるための回路・制御技術



マルチレベル変換器の原理と応用

B 国家プロジェクト　NEDO ポスト5G情報通信システム基盤強化研究開発事業

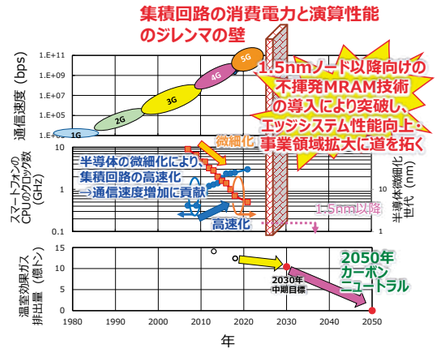
先導研究（助成）／半導体プロセス1.5nmノード以降の不揮発性MRAMの微細加工基盤技術の研究開発

早川 崇 R&D ディレクター（TEL）　池田 正二 教授

スマホやIoT・AIプロセッサ等のエッジ側システムのポスト５G時代の低遅延性の実現のためには、電力供給制限環境下での高度なエッジコンピューティングを行う必要があります。しかしながら、従来のシリコン技術の延長線上での1.5nmノード以降の技術開発では継続して消費電力と演算性能のジレンマが課題となり、エッジシステムの性能向上や事業領域拡大に制限が生じます。

本提案では1.5nmノード以降の不揮発性MRAMの微細加工技術の研究開発を行うことにより、MRAM ／ CMOS混載LSI技術に基づく不揮発化と微細化による低消費電力化により消費電力と演算性能のジレンマの解決に貢献します。これにより、ポスト５G時代の低消費電力性と低遅延性を有するエッジ側システムの実現と、その社会実装によるシナジー効果としてカーボンニュートラルへの貢献が図られます。

本研究開発における具体的な役割としては、東京エレクトロン株式会社（TEL）が1.5nmノード以降に向けたMTJピッチでのRIEエッチング基盤技術の開発を担当、東北大学国際集積エレクトロニクス研究開発センター（CIES）は共同研究としてその微細加工基盤技術検証につなげる集積プロセス開発・試作・評価を担当し、2社が一体となって半導体プロセス1.5nmノード以降に向けた不揮発性MRAMの微細加工基盤技術を構築します。

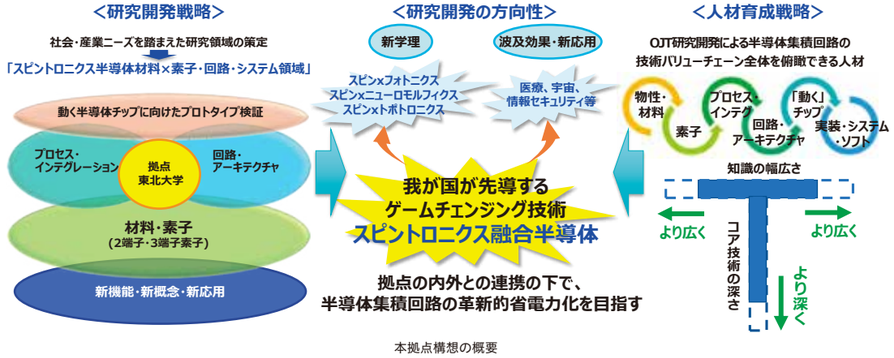


B 国家プロジェクト　文部科学省 次世代X-nics半導体創生拠点形成事業

スピントロニクス融合半導体創出拠点

遠藤 哲郎 教授

我が国が先導してきた集積回路の省電力化のゲームチェンジ技術であるスピントロニクスを中核に据え、新材料・素子の研究開発とその特性を引き出す回路・アーキテクチャ・集積化技術の研究開発を推進し、CMOS半導体の発展を加速させる動く省電力半導体チップに向けたプロトタイプ検証までを、連携・協力機関と共に総合的に展開します。スピントロニクス融合半導体研究の展開の中で、光・ニューロ・トポロジーとエレクトロニクスの融合領域や、医療・宇宙・情報セキュリティ等の新応用を開拓して新学理と情報社会の変革までを先導し、我が国の半導体に係る研究開発力の向上に寄与します。本拠点に若手研究者や学生も積極的かつ戦略的に参画させて、実践力と俯瞰力を持った人材育成を目指して参ります。



本拠点構想の概要

B 国家プロジェクト　NEDO 研究開発課題発掘のための先導調査研究

高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発

CMOS/スピントロニクス融合技術を用いたコンピューティング技術

遠藤 哲郎 教授

令和３年に提案しました「CMOS/スピントロニクス融合技術を用いたコンピューティング技術（代表事業者：東北大学、代表者：遠藤 哲郎教授）」が、新エネルギー・産業技術総合開発機構（NEDO）「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／研究開発課題発掘のための先導調査研究」に採択されました。

現状のAI処理は、大量のデータを扱い、それを高速演算するので消費電力が大きくなる課題があり、その解決が必要です。特に、エッジ側では、許容される消費電力が制限されるので、革新的に電力効率の高いAIコンピューティング技術が望まれています。

本研究では、この実現に向けて、現在主流であるCMOS技術と親和性が高く、不揮発性で面積効率の高いスピントロニクス技術を融合し、その特徴を最大限に活かすエッジAIに適した高い電力効率のコンピューティング技術と、その社会実装として見守りシステムなどに利用する次世代サーベイランスシステムに関して先導調査研究を行います。

本先導調査研究の概要

B 国家プロジェクト NEDO 戦略的省エネルギー技術革新プログラム

実用化開発／アフターコロナ時代の感染ハザードマップのための高速人物位置同定AIマイコンを用いた非接触多人数対応AI検温カメラの開発

遠藤 哲郎 CTO (PSI)　池田 正二 教授

今後も新型感染症の脅威は繰り返し再燃すると予想されます。アフターコロナ社会においても、決してなくならない人と人の接触が生じる実空間で、感染症を効果的に予防しながら我々の日常生活と経済活動の両立を図り、教育医療現場等の安全を確保するためには、感染症リスク検知端末とそこから収集されるデータをサイバー空間で結合しリスクを可視化、さらには感染症に強い街づくりが必要です。このアフターコロナ時代の社会変革を実現するためには、多人数を高速に非接触で検温できる検温カメラなど感染リスクを検知する製品が不可欠です。

現状のサーマルカメラを用いて検温をする場合には人物位置同定処理がボトルネックとなり、1秒間に5～20人の検温に留まっています。そのため、その遅い検温速度のためにビルの入口など比較的人通りの少ない場所でしか活用できておらず、本来アフターコロナ時代に求められる大勢の人が集まる場所や通勤ラッシュなどに適応できない状況にあります。アフターコロナ時代に求められる非接触多人数対応検温カメラを実現するためには、人物位置同定を担うAIマイコンの演算性能の飛躍的向上と省電力化を同時に達成することが必要です。

本プロジェクトにおいては、革新的な人物同定機能付AIマイコン技術を活用して、超低消費電力で多人数の位置を検知し、その体温を検温できる市場競争力のある優位性を持った「非接触多人数対応AI検温カメラ」技術を開発しています。

高速・低消費電力AI検温カメラ技術と高速検温イメージ

B 国家プロジェクト JAXA 宇宙探査イノベーションハブ

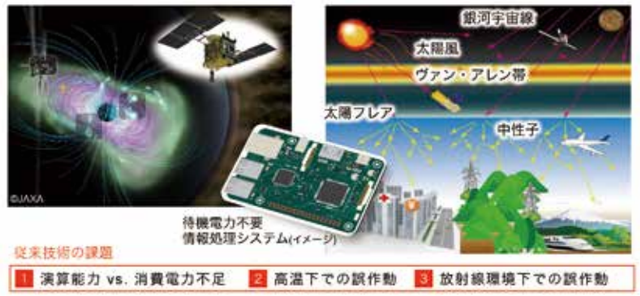
MTJ/CMOS Hybrid技術による待機電力不要システム研究、及びその耐環境性試験（宇宙用途向け）

遠藤 哲郎 教授　小林 大輔 准教授 (JAXA)

令和元年に、国立研究開発法人宇宙航空研究開発機構（JAXA）宇宙探査イノベーションハブ「太陽系フロンティア開拓による人類の生存圏・活動領域拡大に向けたオープンイノベーションハブ」に関する研究提案募集に提案し、アイデア型研究として採択された「MTJ/CMOS Hybrid技術による待機電力不要システム研究、及びその耐環境性試験（宇宙用途向け）」は、令和3年にフォローアップ研究に認定され、研究開発を加速しております。

宇宙探査において、月、火星以遠の探査には、エネルギー源となる太陽光が微弱な環境下で10年以上の長期ミッションが想定されるため、既存技術ではなしえない超低消費電力の電子システムが求められています。また、宇宙機の電子システムには、待機電力不要に加えて宇宙放射線耐性の両立が重要な課題となっています。

本提案では、提案代表者らが開発してきたスピントロニクス素子である磁気トンネル接合（MTJ）とCMOS技術を融合させたMTJ/CMOS Hybrid技術を用いて、待機電力不要システムを研究し、飛躍的な演算効率向上と桁違いの低消費電力化を実現する革新的半導体デバイス・集積回路の実現を目指します。加えて、JAXAが保有する放射線耐性を中心とした信頼性評価により、MTJ/CMOS Hybrid型半導体チップが本来有する不揮発性と高速性に加えて、耐環境性を併せ持つ、電力を使用しない高集積回路の創出を目指します。



MTJ/CMOS Hybrid 技術による宇宙放射線耐性を有する待機電力不要情報処理システムの研究

B 国家プロジェクト 東北経済産業局 戦略的基盤技術高度化支援事業

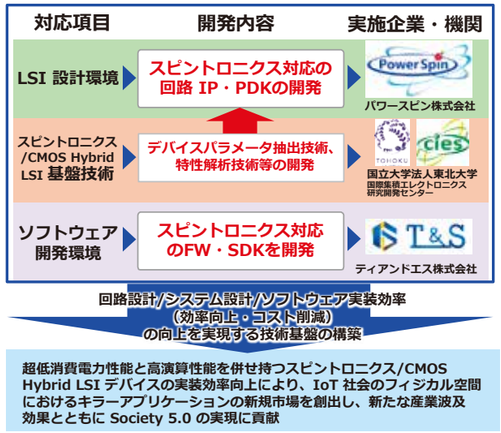
スピントロニクス/CMOS Hybrid LSIの設計技術及びソフトウェア開発と実用化

政岡 徹 CEO (PSI)　高森 統 R&Dディレクター(T&S)　池田 正二 教授

東北大学国際集積エレクトロニクス研究開発センター（CIES）が、Society5.0の実現を目指して国際産学連携体制で研究開発を進めてきた、低消費電力かつ低価格な「スピントロニクス／CMOS Hybrid LSI技術」が現在世界の潮流技術となっており、従来のシリコン技術に比べ消費電力を1/100以下に低消費電力化することが可能です。本技術をさらに低消費電力アプリケーションプロセッサ事業化へ展開して行くためには、LSI回路設計におけるプロセスデザインキット（PDK）やIPライブラリの開発、およびLSIを動かすためのファームウェア（FM）やソフトウェア開発キット（SDK）の準備が急務となっています。

本研究開発事業では、パワースピン(株)がハードウェアの開発、東北大学CIESがそのハードウェア開発につなげる基盤技術の提供と事業管理、ティアンドエス(株)がソフトウェアの開発を行うことで、3者が一体となって回路設計／システム設計／ソフトウェア実装効率の向上を実現する技術基盤の構築を進めます。

本事業により、1)従来のレベルを遥かに超える超低消費電力性能とそれによる演算性能の向上に加えて、2)製造コストの削減、3)製造工程の短縮、4)設計効率の向上と設計コストの削減、5)ソフトウェア開発効率の向上と開発コストの削減など、将来のアプリケーションプロセッサに求められる要件を達成することで、IoT社会のフィジカル空間におけるエッジシステム側に、キラーアプリケーションの新規市場を創出し、新たな産業波及効果とともにSociety 5.0の実現に貢献します。



本事業の開発体制と波及効果

B 国家プロジェクト 内閣府 SIP プロジェクト（第 2 期）

戦略的イノベーション創造プログラム（SIP）第2期／フィジカル空間デジタルデータ処理基盤
研究サブテーマII. 超低消費電力IoTデバイス・革新的センサ技術

超低消費電力MTJ/CMOS Hybrid IoTデバイス基盤技術の研究開発

遠藤 哲郎 教授

平成 30 年度に参画企業の皆様と提案し、採択された「超低消費電力 MTJ/CMOS Hybrid IoT デバイス基盤技術の研究開発」（代表事業者：指定国立大学法人東北大学、研究開発責任者：遠藤 哲郎教授）が、戦略的イノベーション創造プログラム（SIP）第 2 期／フィジカル空間デジタル処理基盤として展開されております。本提案では、提案者らが開発し、ImPACT で発展させてきたスピントロニクス素子である磁気トンネル接合（MTJ）と CMOS 技術を融合させた MTJ/CMOS Hybrid 技術を用いて、あらゆる IoT デバイスに演算処理機能に加えて不揮発機能（電源を切っても情報を忘れない機能）を融合させることで従来の消費電力と演算処理性能のジレンマを解消します。これにより、フィジカル空間に求められる飛躍的な低消費電力性能（従来比：1/5 ～ 1/10）を有する IoT デバイスの基盤技術を構築します。

加えて、本開発技術の応用分野を①エッジサーベランス、②モビリティ、③耐環境、④コネクティッドと定めて実証検証開発を推進することで、IoT デバイス開発に不可欠となる回路 IP・設計ツール・PDK 群等からなる IoT デバイスの基盤技術体系（開発、製造からモジュール設計までが統合化された体系）を構築すると共に、システム化基盤技術開発を通じて、革新的センサー技術チーム、共通プラットフォーム技術チーム、社会実装技術チームとの連携を促進します。　本 SIP 事業を通じて、革新的低消費電力 IoT デバイスがもたらす大変革を我が国が主導して成し遂げ、Society 5.0 の実現に貢献します。

定めた応用分野でのシステム開発からのバックキャスティングにより、革新的省エネルギー性能を実現する MTJ/CMOS Hybrid IoT デバイスの基盤技術と社会実装を促進するシステム化技術を開発

B 国家プロジェクト JST OPERA プロジェクト

世界の知を呼び込むIT・輸送システム融合型エレクトロニクス技術の創出

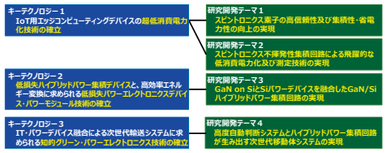
遠藤 哲郎 教授

平成 28 年度に本学が提案し、採択された「世界の知を呼び込む IT・輸送システム融合型エレクトロニクス技術の創出」（幹事機関：東北 大学、領域統括：遠藤 哲郎教授）が、「産学共創プラットフォーム共同研究推進プログラム（Program on Open Innovation Platform with Enterprises, Research Institute and Academia : OPERA）」として展開されております。

本プログラムでは、東北大学・京都大学・山形大学と先進的企業群の理工学と人文社会学の力を結集して、知財等の制度改革を行い、エネルギー・労働力問題の社会的要請を受けて、①極限低消費電力の IoT 用エッジコンピューティングデバイス、②高効率エネルギー変換ハイブリッド集積パワーデバイス、③労働力の高利用効率な輸送システム向け知的エレクトロニクスシステムにかかる非競争領域の研究開発テーマを立て、その革新的技術群の創出と人材育成を担う産学共創プラットフォームの形成を目的とします。

幹事機関である東北大学が進めている競争領域での産学連携拠点事業とのシナジーにより、本プラットフォームの発展と世界を牽引する新産業創出への貢献を目指します。

IT・輸送システム産学共創コンソーシアム



IT・輸送システム産学共創コンソーシアムでの研究開発テーマ

B 国家プロジェクト 文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業

脱炭素社会実現に向けた集積化パワーエレクトロニクスの研究開発

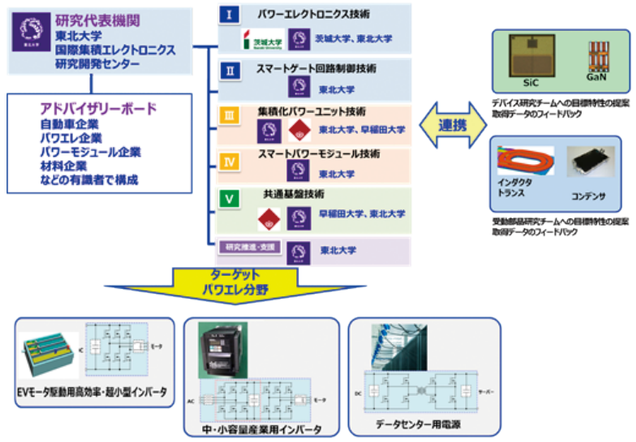
高橋 良和 教授

本研究テーマでは、WBGデバイスの優れた性能を極限まで活かした回路システムを研究・開発することと、回路システムに最適な受動部品を適用することで、次世代インバータおよび電源の小型化、高性能化、高パワー密度化、高効率化の実現を目指します。

応用製品としてはEV用モータ駆動インバータ、中小産業用インバータ、データセンター用電源など小中容量電力を扱う広く社会で使われる製品群です。

代表機関である東北大学と研究分担機関の茨城大学、早稲田大学および協力企業としてのアドバイザリーボードにてパワーエレクトロニクス研究に重要な５つのサブテーマの研究開発を推進し、加えてデバイスチーム、受動部品チームと連携を密にすることで当該分野での学術的な先鋭化を進めるとともに、それらを統合化した応用製品の社会実装化に繋げます。

これらの研究開発を進めることにより世界を牽引し脱炭素社会実現に貢献する次世代パワーエレクトロニクス技術・製品を創出します。



脱炭素化社会実現に向けた集積化パワーエレクトロニクスの研究開発体制

B 国家プロジェクト JSPS 研究拠点形成事業

半導体集積デバイス向け二次元電子・スピン材料研究拠点

遠藤 哲郎 教授

John Robertson 教授

Pierre Seneor 教授

本プロジェクトでは、日本の研究拠点機関である東北大学国際集積エレクトロニクス研究開発センター、英国の研究拠点機関であるケンブリッジ大学、仏国の研究拠点機関であるパリ-サクレー大学（パリ南大学から改名）を中核として、東北大学工学研究科、東京大学、および筑波大学、神戸大学、並びに日立ケンブリッジ研究所などの世界トップレベルの研究機関の間の緊密な連携により、二次元電子・スピン材料に関する研究拠点の構築を目指します。本拠点では、仏国および英国が世界最高レベルの二次元材料の研究を、日本のスピントロニクス・半導体の世界最高レベルの高度な集積化技術と融合させて、新しい二次元・スピンデバイスを創製することを目的としています。二次元物質の面内伝導を利用した集積デバイスの研究を進めると共に、本プロジェクトではスピンの垂直方向のトンネル伝導を二次元物質を介することにより、新しい二次元物質とスピンを半導体集積デバイスに展開する理論的・実験的な研究に取り組んでおります。また、次世代半導体のブレークスルー技術を創製し、国際的なセンス豊かな若手研究者を育成する活動を行っています。

日本、英国、仏国の有力な研究機関で、2D電子・スピントロニクスデバイスの研究教育に関する世界的な協力関係を構築し、次世代半導体デバイス・材料の画期的な技術を創造する。

C J-Innovation HUB 地域オープンイノベーション拠点（国際展開型）

J-Innovation HUB 地域オープンイノベーション拠点（国際展開型）としての活動

遠藤 哲郎 教授

経済産業省の令和2年度事業「地域オープンイノベーション拠点選抜制度」において、本センターが第1号の地域オープンイノベーション拠点（国際展開型）に選抜されました。

J-Innovation HUB 地域オープンイノベーション拠点選抜制度は、大学等を中心とした地域オープンイノベーション拠点の中で、企業ネットワークのハブとして活躍しているものを経済産業省が評価・選抜することにより、信用力を高めるとともに支援を集中させ、トップ層の引き上げや拠点間の協力と競争を促すことを目的として創設された制度です。

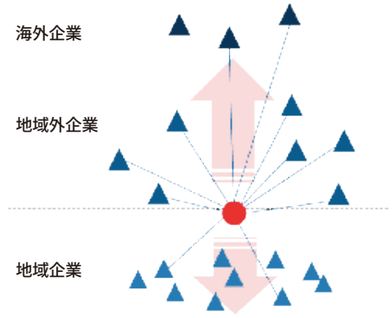
今後、経済産業省がひとつひとつの拠点と対話しながら、オーダーメイド型の伴走支援を行うとし、支援措置は、令和４年１月現在、以下のものが用意されています。

1．国内外への広報、拠点間の連携支援（ロゴマークの使用許可、経済産業省HPでの選抜拠点紹介、選抜拠点間ネットワーク会議、海外展開支援 等）
2．経済産業省予算事業との連携強化　※予算成立を前提
　・戦略的基盤技術高度化支援事業（サポイン事業）
　・産学融合拠点創出支援事業（J-NEXUS）
3．その他の支援（予算事業紹介、規制緩和等、政府施策への接続支援 等）

本センターの活動に参画されるパートナーの方々には、本J-Innovation HUB 地域オープンイノベーション拠点選抜制度の優遇措置の活用が期待されます。

国際展開型

特定の拠点において、海外・国内グローバル企業等との産学連携活動を積極的に行い、今後の更なる海外展開を目指している拠点



本制度の拠点イメージ

（出典：経済産業省資料）

D 地域連携プロジェクト　集積エレクトロニクス　カーエレクトロニクス

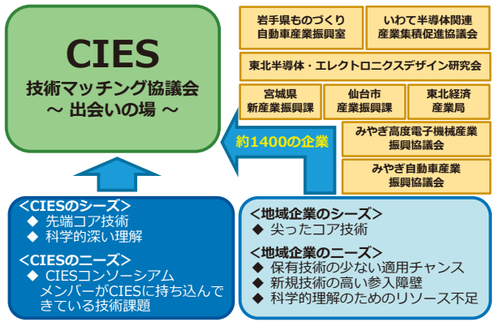
集積エレクトロニクス／カーエレクトロニクス 技術分野における地域連携の促進

遠藤 哲郎 教授

本活動では、地域行政と協力して地域企業の有する優れたコア技術を世界に向けて発信することに取り組んでいます。具体的には、以下のことを推進しています。

1）地域企業のコア技術に本センターの基盤技術・学術を融合させることで、当該コア技術のさらなる高度化を図ります。
2）地域に広がる様々なエレクトロニクス分野や自動車分野における企業間の連携を促進し、地域企業の有するコア技術の応用に係る新展開を図ります。また、宮城県・岩手県等と協力して、当該コア技術の事業化を支援します。
3）本センターを出会いの場として、地域企業とワールドクラスの企業との連携を促進し、地域企業の有するコア技術を世界へ発信します。

これらの活動を通じて、地域企業の個性ある技術の集積やエレクトロニクスへの応用展開を図るとともに、次世代カーエレクトロニクス等における、革新的デバイスの事業化等を通じて、東北地域振興に貢献して参ります。



地域連携プロジェクトの基本方針

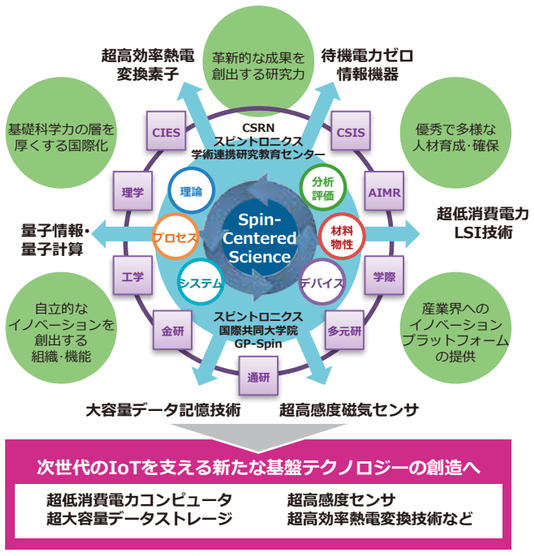
指定国立大学法人　研究力強化「世界トップレベル研究拠点の形成」

世界トップレベル研究拠点：先端スピントロニクス研究開発センター

東北大学は、2017年6月に文部科学大臣から「指定国立大学法人」に指定されました。指定国立大学法人は、世界最高水準の教育研究活動の展開ができると、その実力と潜在能力を認められた国立大学です。今後は、日本を代表する大学として、日本のみならず世界の発展に大きく貢献することが期待されています。

これを受け、本学では、特に強みを有する4領域(①材料科学、②スピントロニクス、③未来型医療、④災害科学)について、全学の卓越したリソースを高等研究機構に結集し、世界トップレベル拠点の形成を進めており、スピントロニクス領域では、2019年4月に「先端スピントロニクス研究開発センター（世界トップレベル研究拠点）」（拠点長：平山祥郎教授、副拠点長：遠藤哲郎教授）が発足しました。

スピントロニクス分野では、本学は世界のパイオニアとして知られる多くの卓越した研究グループを有しており、既に世界的拠点としての地位が確立しつつあります。基礎から応用にわたる幅広い分野の卓越した研究者を海外有力大学との共同研究を通じて戦略的に結集し、"Spin-Centered Science" というべき領域を世界に先駆けて切り拓く拠点形成を目指し、独創性の高い最先端科学・技術を社会に届ける研究開発プラットフォームを創設する方針です。その際、日本最大のオープン＆グローズド・イノベーション拠点として実績を有する国際集積エレクトロニクス研究開発センター（CIES）が中心となって、国際的産学連携コンソーシアムを構築することにより、世界を先導し、トップサイエンスからイノベーションを目指しています。



独創性の高い最先端科学・技術を社会に届ける研究開発プラットフォームを創設

高度人材育成事業

集積エレクトロニクス技術分野における若手研究人材の輩出・育成を目的とする次の事業を実施しています。

①産学合同講師によるカリキュラム・講義（単位付与）

産業界や社会に求められる人材像を描き、その理念に基づきカリキュラムを編成し、産学合同講師陣による講義を開講しています。

②東北半導体・エレクトロニクスデザイン研究会への参画

経済産業省の半導体デジタル戦略に基づき設置された東北地区における人材育成等を担う東北半導体・エレクトロニクスデザイン研究会に参画しています。

OPERA プロジェクト RA 学生

③高度人材育成を促進する産学連携OJT制度

●コンソーシアム内 RA 制度
産学連携研究における責任の明確化とその対価報酬支払による大学院生とポスドク・若手研究者の産学連携研究への参画を促進しています。

●OPERA プロジェクト RA 制度
新たな基幹産業の育成の核となる革新的技術の創出を目指した、本格的な産学共同研究の現場に学生をRAとして、コミットメントを有する形で参画させ、実践的な人材育成を行っています。

●インターンシップ制度
博士後期課程学生（DC）、ポスドクター（PD）、及び若手教員等を対象として、CIESコンソーシアム参加企業へのインターンシップの受け入れ促進制度を整備しています。

④全学プログラムへの参画

●先端スピントロニクス研究開発センター（世界トップレベル研究拠点）
本学の指定国立大学法人認定を受けて、卓越した研究者を戦略的に結集し、"Spin-Centered Science" というべき領域を世界に先駆けて切り拓く拠点形成を目指しています。

●東北大学スピントロニクス学術連携研究教育センター（CSRN）
世界をリードする日本のスピントロニクス研究の国際競争力の向上、新産業の創出、現産業の強化及び次世代人材の育成を目指し、国内外の研究機関との共同研究を促進する連携ネットワークの拠点としての役割を担うことを目的としています。

●東北大学スピントロニクス国際共同大学院（GP-Spin）
本学の強みであるスピントロニクス分野における世界的人材の育成を目的として設立され、CIES教員を含む世界トップクラスの教員陣による国際共同大学院プログラムを推進しています。

●東北大学「知のフォーラム」
マネジメントスキルやコミュニケーションスキル等の社会人基礎力に加えて、プロジェクト学習による課題設定・解決力を養成し、起業、又は企業内で活躍できるイノベーション創発人材を育成する全学プログラムに参画しています。

戦略企画部門

戦略企画部門では、本学の世界トップクラスのコア技術を基に、国内外の産業界との産学共同研究が効率的かつアクティブに展開されるためのフレキシブルな産学連携フレームワークを、本学の豊富な産学連携実績に支えられた知見を活用して構築しています。

東北大学の研究者が創出してきた基本特許を含む国内トップクラスの特許出願数の知的財産（IP）群とCIESコンソーシアム活動から創出される新たな知的財産を効率的に管理した実践的IPマネージメントを実行しています。この新しいIP制度等に基づいて、フレキシブルかつグローバルスタンダードな契約対応を展開しています。

戦略企画部門
- **実践的 IPマネジメント**　知財 pool 制度／ share 制度／ acquire 制度
- **契約**　フレキシブルかつグローバルスタンダードな契約
- **研究企画**　魅力的で継続可能なテーマの探索
- **高度人材育成**　協力企業とのインターンシップ制度
- **広報**　情報発信とネットワーキング

基盤技術部門

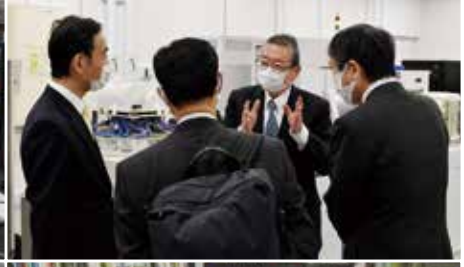
基盤技術部門では、研究開発活動を快適かつ安全に行えるよう、4つの主要機能に重点を置いて「安全確保」「安定稼働」「高効率運用」の3つを同時に実現すべく活動しています。特に、ガス漏れ・薬液漏れ・漏水・パーティクルセンサー管理や各研究ゾーン毎の入退室管理はもとより、電気・ガス・水道などの使用状況を24時間体制でモニタリングし、施設運営の更なる高度化を日々進めています。

また、同部門は300mmウエハ対応のプロセスラインを有するクリーンルームを運用しています。供給施設を含め、研究開発部門と密に連携して、日常点検をはじめとする管理業務に当たっています。また、クリーンルーム内に設置されたプロセス装置の安定稼働の維持管理に努めています。

安全確保においては、施設・装置利用者への安全教育にはじまり、安全衛生委員会、安全巡視、避難訓練等を通じて安全衛生に関する指導、改善に取り組んでいます。

情報セキュリティ対策では、CIES内の情報機器のセキュリティ管理を行うと共に、利用者への教育を行っています。

基盤技術部門
- **施設管理**　300mm 対応プロセスライン／供給設備
- **研究設備管理**　300mm プロセス装置／ 300mm 評価・分析装置
- **安全衛生**　安全衛生委員会／巡視／避難訓練
- **情報セキュリティ**　情報・情報機器管理／情報漏洩監視／情報セキュリティ教育



世界の知がまわる国際産学連携拠点を構築し、
省エネ社会に資する革新技術と
高度人材を世界に輩出していきます。

アクセス

地下鉄東西線「仙台駅」から
八木山動物公園行きに乗車
「青葉山駅」下車（乗車時間９分）、
「青葉山駅」南1出口から徒歩約１０分

お問い合わせ

東北大学
国際集積エレクトロニクス研究開発センター
支援室

〒980-8572 宮城県仙台市青葉区荒巻字青葉468-1
TEL : 022-796-3410
FAX : 022-796-3432
E-mail : support-office@cies.tohoku.ac.jp
HP:http://www.cies.tohoku.ac.jp

2022.3